

Liquid crystal display device and driver circuit thereof

Patent Number: ■ [US6392627](#)
Publication date: 2002-05-21
Inventor(s): MAEKAWA TOSHIKAZU (JP)
Applicant(s): SONY CORP (US)
Requested Patent: ■ [JP11242204](#)
Application Number: US19990253948 19990222
Priority Number(s): JP19980043082 19980225
IPC Classification: G09G3/18
EC Classification: [G09G3/36C12A](#)
Equivalents:

Abstract

An output buffer is composed of first and second CMOS inverters that are connected to each other in cascade, a level conversion circuit for converting the low-voltage-side potential of output voltages of the first and second CMOS inverters to a potential that is lower than the low-voltage-side potential, and a third CMOS inverter provided downstream of the level conversion circuit. Since the level conversion circuit has a current mirror circuit configuration, the power consumption in the level conversion circuit is made small

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-242204

(43) 公開日 平成11年(1999) 9月7日

(51) Int.Cl. ⁶	識別記号	F I
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
	5 2 0	5 2 0
G 0 9 G 3/36		G 0 9 G 3/36

審査請求 未請求 請求項の数 9 O L (全 8 頁)

(21) 出願番号 特願平10-43082

(22) 出願日 平成10年(1998) 2月25日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

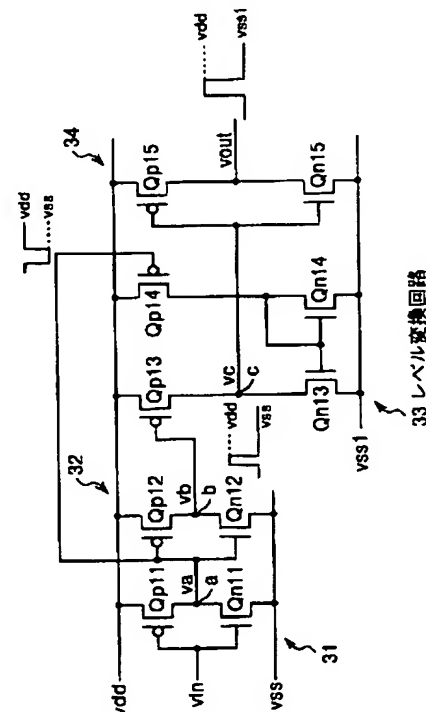
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 液晶表示装置およびその駆動回路

(57) 【要約】

【課題】 縦続接続された4段のCMOSインバータからなる出力バッファにおいて、これらCMOSインバータの負側電源電圧が順に低くなるように設定されていることから、2段目以降のCMOSインバータに貫通電流が流れるため、消費電流が増加する。

【解決手段】 縦続接続された第1、第2のCMOSインバータ31、32と、これらCMOSインバータ31、32の出力電圧の低電圧側の電位 v_{ss} をそれよりも低い電位 v_{ss1} に変換するレベル変換回路33と、このレベル変換回路33の後段に設けられた第3のCMOSインバータ34とを有する出力バッファにおいて、レベル変換回路33をカレントミラー回路構成とし、当該レベル変換回路33での消費電力を少なく抑える。



【特許請求の範囲】

【請求項 1】 複数個の画素が行列状に 2 次元配置されてなる画素部と、前記画素部に行単位で設けられた複数本の走査ラインに対して走査パルスを順次出力する駆動回路とを有する液晶表示装置であって、

前記駆動回路はその出力段に、前記走査パルスの低電圧側電位および高電圧側電位の少なくとも一方をシフトするカレントミラー回路構成のレベル変換回路を有することを特徴とする液晶表示装置。

【請求項 2】 前記駆動回路は、前記走査パルスの低電圧側電位を、そのデータ転送部の負側電源電位よりも低い電位とすることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記駆動回路は、第 1 の正側電源電圧と第 1 の負側電源電圧で動作するバッファ回路と、前記第 1 の正側電源電圧と前記第 1 の負側電源電圧よりも低い第 2 の負側電源電圧で動作し、前記バッファ回路の出力電圧の低電圧側電位を前記第 2 の負側電源電圧にシフトするレベルシフト回路とを有することを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】 前記駆動回路は、第 1 の正側電源電圧と第 1 の負側電源電圧で動作するバッファ回路と、前記第 1 の正側電源電圧と前記第 1 の負側電源電圧よりも低い第 2 の負側電源電圧で動作し、前記バッファ回路の出力電圧の低電圧側電位を前記第 2 の負側電源電圧にシフトする第 1 のレベルシフト回路と、前記第 1 の正側電源電圧よりも高い第 2 の正側電源電圧と前記第 2 の負側電源電圧で動作し、前記第 1 のレベルシフト回路の出力電圧の高電圧側電位を前記第 2 の正側電源電圧にシフトする第 2 のレベルシフト回路とを有することを特徴とする請求項 2 記載の液晶表示装置。

【請求項 5】 前記駆動回路は、前記画素部と同一基板に形成されていることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 6】 複数個の画素が行列状に 2 次元配置されてなる画素部を有する液晶表示装置において、前記画素部に行単位で設けられた複数本の走査ラインに対して走査パルスを順次出力する駆動回路であって、

その出力段に、前記走査パルスの低電圧側電位および高電圧側電位の少なくとも一方をシフトするカレントミラー回路構成のレベル変換回路を有することを特徴とする液晶表示装置の駆動回路。

【請求項 7】 前記走査パルスの低電圧側電位を、そのデータ転送部の負側電源電位よりも低い電位とすることを特徴とする請求項 6 記載の液晶表示装置の駆動回路。

【請求項 8】 第 1 の正側電源電圧と第 1 の負側電源電圧で動作するバッファ回路と、前記第 1 の正側電源電圧と前記第 1 の負側電源電圧よりも低い第 2 の負側電源電圧で動作し、前記バッファ回路の出力電圧の低電圧側電位を前記第 2 の負側電源電圧にシフトするレベルシフト

回路とを有することを特徴とする請求項 7 記載の液晶表示装置の駆動回路。

【請求項 9】 第 1 の正側電源電圧と第 1 の負側電源電圧で動作するバッファ回路と、前記第 1 の正側電源電圧と前記第 1 の負側電源電圧よりも低い第 2 の負側電源電圧で動作し、前記バッファ回路の出力電圧の低電圧側電位を前記第 2 の負側電源電圧にシフトする第 1 のレベルシフト回路と、前記第 1 の正側電源電圧よりも高い第 2 の正側電源電圧と前記第 2 の負側電源電圧で動作し、前記第 1 のレベルシフト回路の出力電圧の高電圧側電位を前記第 2 の正側電源電圧にシフトする第 2 のレベルシフト回路とを有することを特徴とする請求項 7 記載の液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置（以下、LCD (Liquid Crystal Display) と称す）およびその駆動回路に関し、特に行列状に 2 次元配置された複数個の画素を画素単位で順次選択するアクティブマトリクス型 LCD およびその垂直駆動回路に関するものである。

【0002】

【従来の技術】アクティブマトリクス型 LCD の駆動方法には、1H 反転駆動法およびドット反転駆動法がある。ここに、1H 反転駆動法とは、各画素に印加する映像信号の極性をコモン電圧 VCOM に対して 1H（H は水平期間）ごとに反転させる駆動方法である。また、ドット反転駆動法とは、互いに隣り合う画素（ドット）に印加される映像信号の極性を交互に反転させる駆動方法である。

【0003】これらの駆動方法は用途に応じて使い分けられるが、小型 LCD では主に 1H 反転駆動法が用いられる。また、この 1H 反転駆動法に対して、各画素の液晶セルの対向電極に印加するコモン電圧 VCOM を 1H ごとに反転させる駆動方法であるコモン反転駆動法を組み合わせることにより、水平駆動回路であるソースドライバ、ひいてはアクティブマトリクス型 LCD の低電圧化および低消費電力化が図られている。

【0004】この低電圧化および低消費電力化に有用なコモン反転駆動法は、特に 1/2 型程度の中型 LCD に良く用いられている。コモン反転駆動法では、垂直駆動回路であるスキャンドライバの出力電圧の低電圧側の電位をマイナス電位で出力する必要がある。その理由について、図 8 の画素部の等価回路および図 9 の各波形を用いて説明する。

【0005】ここで、コモン電圧 VCOM のセンタ電位を VCOMc、その振幅を Vcom とし、コモン電圧 VCOM が 1H ごとに

$$VCOM = VCOMc \pm (1/2) * Vcom$$

と反転するものとする、ノード A に保持された電圧 V

Aは

$$\Delta V_A = \pm (C_s + C_{LC}) * V_{com} / (C_s + C_L + C_p)$$

だけシフトする。ここに、 C_s は補助容量101の容量値、 C_{LC} は液晶セル102の容量値、 C_p は画素トランジスタ103のノードAの寄生容量の容量値である。

【0006】このとき、ノードAの電位 V_A が走査ライン（ゲートライン）104の電位よりも下がり、画素トランジスタ103が導通すると、ノードAの保持電位が変化し、輝点等を生ぜしめるおそれがある。そのため、非選択期間に画素トランジスタ103が決して導通することのないように、スキヤンドライバの出力電圧の低電圧側をマイナスで出力する必要がある。図10に、マイナス電圧出力のスキヤンドライバの従来例を示す。この従来例では、スキヤンドライバにおけるある行の出力段の構成の一例を示している。

【0007】この従来例に係る出力段においては、スキヤンドライバの出力電圧の低電圧側の電位を例えば-4Vに設定する場合を例に採ると、例えば4個のCMOSインバータ111～114を縦続接続し、各段の正側電源電圧 v_{dd} として例えば+15Vを共通に与える一方、各段の負側電源電圧 v_{ss} 、 v_{ss1} 、 v_{ss2} 、 v_{ss3} として-1V、-2V、-3V、-4Vをそれぞれ与えるようにし、各段のトランジスタ自体が完全に導通しないような範囲で段階的にマイナスに振る構成となっている。

【0008】

【発明が解決しようとする課題】しかしながら、上記構成の従来のスキヤンドライバにおいては、1段目～4段目のCMOSインバータ111～114の負側電源電圧が順に低くなるように設定されていることから、前段の出力電圧の低電圧側の電位よりも後段の負側電源電圧の電位が必ず低くなり、2段目以降のCMOSインバータ112～114に貫通電流（直流電流）が流れるため、消費電流が増加するという問題があった。特に、負側電源電圧をマイナスに大きく振る程、その貫通電流が増大し、消費電流がさらに増加することになる。

【0009】また、最終的な出力電圧 v_{out} の振幅は、4段目のCMOSインバータ114のpMOSトランジスタとnMOSトランジスタのオン抵抗比で決まることになるために、出力電圧 v_{out} の高電圧側の電位が+15Vよりも ΔV だけ落ち込むという問題もある。図11に、正側電源電圧 v_{dd} 、負側電源電圧 v_{ss} 、 v_{ss1} 、 v_{ss2} 、 v_{ss3} およびCMOSインバータ111～114の各出力電圧 v_a 、 v_b 、 v_c 、 v_{out} の各波形を示す。

【0010】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、特にコモン反転駆動対応の場合において、低電圧化および低消費電力化を達成できるLCDおよびその駆動回路を提供することにあ

る。

【0011】

【課題を解決するための手段】本発明では、複数個の画素が行列状に2次元配置されてなる画素部と、この画素部に行単位で設けられた複数本の走査ラインに対して走査パルスを順次出力する駆動回路とを有するLCDにおいて、駆動回路はその出力段に、走査パルスの低電圧側電位および高電圧側電位の少なくとも一方をシフトするカレントミラー回路構成のレベル変換回路を有する構成となっている。

【0012】上記構成のLCDおよびその駆動回路において、走査パルスとなる出力電圧の電位をシフトするレベル変換回路をカレントミラー回路で構成したことで、このレベル変換回路には入力パルスのあるデューティ期間でしか電流が流れない。したがって、レベル変換回路で消費する電力は少なくて済む。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明が適用されるアクティブマトリクス型LCDの一例を示す概略構成図であり、駆動方法として1H反転とコモン反転の組み合わせを用いている。

【0014】図1において、複数行の走査ライン11の各々と複数列の信号ライン12の各々の交差部には画素13が設けられている。この画素13は、ゲート電極が走査ライン11に、ソース電極が信号ライン12にそれぞれ接続された例えば薄膜トランジスタからなる画素トランジスタ14と、この画素トランジスタ14のドレイン電極に画素電極が接続された液晶セル15と、画素トランジスタ14のドレイン電極に一方の電極が接続された補助容量16とから構成されている。

【0015】液晶セル15の対向電極は、各画素13間で共通に接続されている。同様に、補助容量16の他方の電極もCSライン17を介して各画素13間で共通に接続されている。そして、液晶セル15の各対向電極および補助容量16の各他方の電極には、図2（B）に示すように、1Hごとに極性が反転するコモン電圧 V_{CO} が電源18から印加される。

【0016】2次元配置された複数個の画素13を画素単位で順次選択するために、スキヤンドライバ19が垂直駆動回路として、ソースドライバ20が水平駆動回路としてそれぞれ設けられている。スキヤンドライバ19は、1垂直期間（1フィールド期間）ごとに走査ライン11に対して走査パルスを与えることによって順次走査して画素13を行単位で選択する。

【0017】一方、ソースドライバ20は、入力される映像信号を1水平期間（1H）ごとに順次サンプリングし、スキヤンドライバ19によって選択された行の画素13に対して映像信号を書き込む。なお、ソースドライバ20に入力される映像信号は、図2（A）に示すよう

に、コモン電圧 V_{COM} に対して1Hごとに極性が反転している。

【0018】このように、1H反転駆動法を用いて液晶セルLCを交流的に駆動することにより、各画素13の液晶セル15に印加される電圧の極性が、1ラインごとに反転するため、液晶セル15の劣化を防ぐことができる。この1H反転駆動法の場合は、映像信号の極性が1Hごとに反転することから、図2(A)の波形図から明らかなように、液晶セル15の階調制御に必要な電圧を V_p とすると、ソースドライバ20には最低 $2V_p$ の電

源が必要となる。

【0019】この1H反転駆動法に対して、コモン反転駆動法を併用することにより、図2(B)の波形図から明らかなように、コモン電圧 V_{COM} も1Hごとに反転することから、ソースドライバ20の電源としては最低 V_p のもので良く、したがって1H反転駆動法の利点をそのまま生かし、しかもソースドライバ20の低電圧化および低消費電力化を図ることができるのである。

【0020】上記構成のLCDにおいて、本発明による駆動回路はスキヤンドライバ19に適用される。より具体的には、スキヤンドライバ10の出力段に適用される。すなわち、スキヤンドライバ19は、例えば図3に示すように、画素部の行数 n に対応した n 段のシフトレジスタ21-1~21- n と、これらシフトレジスタ21-1~21- n の各出力側に設けられて n 本の走査ライン11-1~11- n の各々に走査パルスを送る出力バッファ22-1~22- n とから構成されており、これら出力バッファ22-1~22- n の各々に本発明が適用されることになる。以下、具体的な実施形態について説明する。

【0021】図4は、スキヤンドライバにおけるある行の出力バッファに適用された本発明の第1実施形態を示す回路図である。本実施形態に係る出力バッファは、縦続接続された第1、第2のCMOSインバータ31、32と、これらCMOSインバータ31、32の出力電圧の低電圧側の電位 v_{ss} をそれよりも低い電位 v_{ss1} にシフトするレベル変換回路33と、このレベル変換回路33の後段に設けられた第3のCMOSインバータ34とから構成されている。

【0022】第1のCMOSインバータ31は、正側電源 v_{dd} にソースが接続されたpMOSトランジスタ Q_{p11} と、このpMOSトランジスタ Q_{p11} とドレインおよびゲートがそれぞれ共通に接続され、かつソースが第1の負側電源 v_{ss} に接続されたnMOSトランジスタ Q_{n11} とから構成されている。第2のCMOSインバータ32も同様に、正側電源 v_{dd} にソースが接続されたpMOSトランジスタ Q_{p12} と、このpMOSトランジスタ Q_{p12} とドレインおよびゲートがそれぞれ共通に接続され、かつソースが第1の負側電源 v_{ss} に接続されたnMOSトランジスタ Q_{n12} とから構成されている。

【0023】レベル変換回路33は、正側電源 v_{dd} にソースが接続され、かつゲートが第2のCMOSインバータ32の出力ノードbに接続されたpMOSトランジスタ Q_{p13} と、正側電源 v_{dd} にソースが接続され、かつゲートが第1のCMOSインバータ31の出力ノードaに接続されたpMOSトランジスタ Q_{p14} と、pMOSトランジスタ Q_{p13} とドレインが共通に接続され、ソースが第2の負側電源 v_{ss1} ($< v_{ss}$) に接続されたnMOSトランジスタ Q_{n13} と、pMOSトランジスタ Q_{p14} とドレインが共通に接続されるとともに、nMOSトランジスタ Q_{n13} とゲートが共通に接続され、ソースが第2の負側電源 v_{ss1} に接続されたダイオード接続のnMOSトランジスタ Q_{n14} とからなるカレントミラー回路構成となっている。

【0024】第3のCMOSインバータ34は、正側電源 v_{dd} にソースが接続されたpMOSトランジスタ Q_{p15} と、このpMOSトランジスタ Q_{p15} とドレインおよびゲートがそれぞれ共通に接続され、かつソースが第2の負側電源 v_{ss1} に接続されたnMOSトランジスタ Q_{n15} とからなり、その入力端、即ちpMOSトランジスタ Q_{p15} およびnMOSトランジスタ Q_{n15} のゲート共通接続点が、レベル変換回路33の出力ノードc、即ちpMOSトランジスタ Q_{p13} およびnMOSトランジスタ Q_{n13} のドレイン共通接続点に接続された構成となっている。

【0025】上記構成の第1実施形態に係る出力バッファにおいて、第1、第2のCMOSインバータ31、32の各出力電圧 v_a 、 v_b のダイナミックレンジを規定する電源電圧 $v_{dd}-v_{ss}$ は、レベル変換回路33のpMOSトランジスタ Q_{p13} 、 Q_{p14} を導通させるに足る小振幅、例えばこれらトランジスタ Q_{p13} 、 Q_{p14} の閾値電圧を V_{th} とすると、 $V_{th}+\alpha$ 程度の小振幅で良い。換言すれば、第1、第2のCMOSインバータ31、32の各出力電圧 v_a 、 v_b が $V_{th}+\alpha$ 程度の小振幅でも、レベル変換回路33は動作可能である。

【0026】レベル変換回路33において、pMOSトランジスタ Q_{p14} のゲート入力パルスとして、低電圧側デューティが高電圧側デューティよりも小さいパルスを入力するように、本出力バッファの入力パルス v_{in} を設定する。これにより、pMOSトランジスタ Q_{p14} のゲート入力パルスの高電圧側の長いデューティ期間では、pMOSトランジスタ Q_{p14} が非導通状態にあり、nMOSトランジスタ Q_{n14} 、 Q_{n13} には電流が流れず、低電圧側の短いデューティ期間でのみpMOSトランジスタ Q_{p14} が導通状態となり、nMOSトランジスタ Q_{n14} 、 Q_{n13} に電流が流れる。すなわち、レベル変換回路33では、僅かな期間でしか電流が流れず、消費する電力が少なくて済む。

【0027】また、レベル変換回路33の出力ノードc

の低電圧側電位は、pMOSトランジスタQp14が導通して電流を流し込み、これに伴ってnMOSトランジスタQn13が導通することにより、そのソース電位である第2の負側電源電圧vss1で規定される。すなわち、一例として、正側電源電圧vssを+5V、第1の負側電源電圧vssを0V、第2の負側電源電圧vss1を-4Vとすると、レベル変換回路33において、高電圧側の電位は+5Vに固定で、低電圧側の電位のみが0Vから-4Vにシフトされた出力電圧vcに変換される。この電圧vcは、第3のインバータ34で反転されて出力電圧voutとなる。図5に、出力電圧va、vb、vcおよびvoutの各波形を示す。

【0028】上述したように、第1実施形態に係る出力バッファでは、出力電圧の低電圧側電位をさらにマイナス側にシフトするレベル変換回路33をカレントミラー回路で構成したことにより、このレベル変換回路33には入力パルスの低電圧側のデューティ期間でしか電流が流れないため、低消費電力化が図れる。特に、入力パルスとして、その低電圧側デューティが高電圧側デューティよりも小さいパルスを入力することで、低電圧側の短いデューティ期間でのみレベル変換回路33に電流が流れるため、より低消費電力化が図れる。

【0029】図6は、本発明の第2実施形態を示す回路図である。本実施形態に係る出力バッファは、縦続接続された第1、第2のCMOSインバータ41、42と、これらCMOSインバータ41、42の出力電圧の低電圧側の電位vssをそれよりも低い電位vss1にシフトする第1のレベル変換回路43と、この第1のレベル変換回路43の後段に設けられた第3のCMOSインバータ44と、この第3のCMOSインバータ44の出力電圧の高電圧側の電位vddをそれよりも高い電位vdd1にシフトする第2のレベル変換回路45とから構成されている。

【0030】第1のCMOSインバータ41は、第1の正側電源vddにソースが接続されたpMOSトランジスタQp21と、このpMOSトランジスタQp21とドレインおよびゲートがそれぞれ共通に接続され、かつソースが第1の負側電源vssに接続されたnMOSトランジスタQn21とから構成されている。第2のCMOSインバータ42も同様に、第1の正側電源vddにソースが接続されたpMOSトランジスタQp22と、このpMOSトランジスタQp22とドレインおよびゲートがそれぞれ共通に接続され、かつソースが第1の負側電源vssに接続されたnMOSトランジスタQn22とから構成されている。

【0031】第1のレベル変換回路43は、第1の正側電源vddにソースが接続され、かつゲートが第2のCMOSインバータ42の出力ノードbに接続されたpMOSトランジスタQp23と、第1の正側電源vddにソースが接続され、かつゲートが第1のCMOSインバ

ータ41の出力ノードaに接続されたpMOSトランジスタQp24と、pMOSトランジスタQp23とドレインが共通に接続され、ソースが第2の負側電源vss1(<vss)に接続されたnMOSトランジスタQn23と、pMOSトランジスタQp24とドレインが共通に接続されるとともに、nMOSトランジスタQn23とゲートが共通に接続され、ソースが第2の負側電源vss1に接続されたダイオード接続のnMOSトランジスタQn24とからなるカレントミラー回路構成となっている。

【0032】第3のCMOSインバータ44は、第1の正側電源vddにソースが接続されたpMOSトランジスタQp25と、このpMOSトランジスタQp25とドレインおよびゲートがそれぞれ共通に接続され、かつソースが第2の負側電源vss1に接続されたnMOSトランジスタQn25とからなり、その入力端、即ちpMOSトランジスタQp25およびnMOSトランジスタQn25のゲート共通接続点が、第1のレベル変換回路43の出力ノードc、即ちpMOSトランジスタQp23およびnMOSトランジスタQn23のドレイン共通接続点に接続された構成となっている。

【0033】第2のレベル変換回路45は、第2の正側電源vdd1(>vdd)にソースが接続されたダイオード接続のpMOSトランジスタQp26と、第2の正側電源vdd1にソースが接続されかつpMOSトランジスタQp26とゲートが共通に接続されたpMOSトランジスタQp27と、pMOSトランジスタQp26とドレインが共通に接続されるとともに、ゲートが第3のCMOSインバータ44の出力ノードdに接続され、ソースが第2の負側電源vss1に接続されたnMOSトランジスタQn26と、pMOSトランジスタQp27とドレインが共通に接続されるとともに、ゲートが第1のレベル変換回路43の出力ノードcに接続され、ソースが第2の負側電源vss1に接続されたnMOSトランジスタQn27とからなるカレントミラー回路構成となっている。

【0034】上記構成の第2実施形態に係る出力バッファにおいても、第1実施形態の場合と同様に、第1、第2のCMOSインバータ41、42の各出力電圧va、vbのダイナミックレンジを規定する電源電圧vdd-vssは、第1のレベル変換回路43のpMOSトランジスタQp23、Qp24を導通させるに足る小振幅で良く、この小振幅でもレベル変換回路43は動作可能である。

【0035】第1のレベル変換回路43において、pMOSトランジスタQp24のゲート入力パルスとして、低電圧側デューティが高電圧側デューティよりも小さいパルスを入力するように、本出力バッファの入力パルスvinを設定する。これにより、低電圧側の短いデューティ期間でのみpMOSトランジスタQp24が導通状

10

20

30

40

50

態となり、nMOSトランジスタQn24、Qn23に電流が流れる。すなわち、レベル変換回路43では、僅かな期間でしか電流が流れないことになる。

【0036】また、第1のレベル変換回路43の出力ノードcの低電圧側電位は、pMOSトランジスタQp24が導通して電流を流し込み、これに伴ってnMOSトランジスタQn23が導通することにより、そのソース電位である第2の負側電源電圧vss1で規定される。すなわち、一例として、第1の正側電源電圧vssを+5V、第1の負側電源電圧vssを0V、第2の負側電源電圧vss1を-4Vとすると、第1のレベル変換回路43において、高電圧側の電位は+5Vに固定で、低電圧側の電位のみが0Vから-4Vにシフトされた電圧vcに変換される。

【0037】さらに、低電圧側電位がvssからvss1に変換された電圧vcは、第3のインバータ44で反転されて電圧vcと同振幅の電圧vdとなる。そして、第2のレベル変換回路45において、そのnMOSトランジスタQn26のベースに電圧vcが与えられると、その高電位側デューティ期間でnMOSトランジスタQn26が導通し、pMOSトランジスタQp27から電流を引き込む。これに伴って、pMOSトランジスタQp27が導通すると、そのソース電位である第2の正側電源電圧vdd1で出力電圧voutの高電位側電位が規定される。

【0038】一例として、第2の正側電源電圧vdd1を+15Vとすると、第2のレベル変換回路45において、低電圧側の電位は-4Vに固定で、高電位側の電位が+5Vから+15Vにシフトされた電圧voutとなる。すなわち、第1、第2のレベル変換回路43、45のレベル変換作用により、0V～+5Vの振幅の入力電圧vinが-4V～+15Vの振幅の出力電圧voutにレベル変換されることになる。図7に、出力電圧va、vb、vc、vdおよびvoutの各波形を示す。

【0039】上述したように、第2実施形態に係る出力バッファでは、出力電圧の低電圧側電位をさらにマイナス側にシフトするレベル変換回路43および高電圧側電位をさらにプラス側にシフトするレベル変換回路45をそれぞれカレントミラー回路で構成したことにより、これらレベル変換回路43、45には入力パルスの低電圧側のデューティ期間でしか電流が流れないため、低消費電力化が図れ、しかもより大きな振幅の出力電圧を得ることができる。

【0040】なお、上記各実施形態では、コモン反転駆動法を用いたアクティブマトリクス型LCDへの適用を前提とし、スキヤンドライバの出力電圧の低電圧側を、スキヤンドライバ19のデータ転送部(n段のシフトレジスタ段)の負側電源電圧VSSよりもさらに低い電位とするために、出力電圧の少なくとも低電圧側電位をさらにマイナス側にシフトする場合を例に採って説明した

が、本発明はこれに限定されるものではなく、出力電圧の高電圧側電位のみをさらにプラス側にシフトする構成の出力バッファにも適用可能である。

【0041】このように構成された各実施形態に係る出力バッファは、先述した如く低消費電力化が図れることから、本出力バッファを図1に示すアクティブマトリクス型LCDのスキヤンドライバ19の出力バッファとして用いることにより、特に駆動回路を画素部と同一基板に形成したいわゆる駆動回路一体型のアクティブマトリクス型LCDにおいて、スキヤンドライバ19の低消費電力化、ひいてはLCD全体の低消費電力化が図れることになる。

【0042】しかも、本出力バッファでは、小ダイナミックレンジの入力パルスで大きなダイナミックレンジの出力パルスを容易に得ることができるため、LCDパネルの設計が容易になるとともに、入力パルスとしては例えば2.7V程度の小振幅のパルスで良いことから、スキヤンドライバ19のデータ転送部(n段のシフトレジスタ段)、さらにはその前段の駆動系の電源電圧の低電圧化が可能となる。

【0043】なお、アクティブマトリクス型LCDにおいて、駆動回路が画素部と一体に形成される基板としては、ガラス等の透明基板、あるいはシリコン基板のいずれでも可能である。

【0044】

【発明の効果】以上説明したように、本発明によれば、LCDおよびその駆動回路において、駆動回路の出力段に、走査パルスの低電圧側電位および高電圧側電位の少なくとも一方をシフトするカレントミラー回路構成のレベル変換回路を設けたことにより、このレベル変換回路には入力パルスのあるデューティ期間でしか電流が流れず、レベル変換回路で消費する電力が少なくて済むため、低消費電力化が図れることになる。

【図面の簡単な説明】

【図1】本発明が適用されるアクティブマトリクス型LCDの一例を示す概略構成図である。

【図2】1H反転(A)とコモン反転(B)の波形図である。

【図3】スキヤンドライバの構成の一例を示すブロック図である。

【図4】本発明の第1実施形態を示す回路図である。

【図5】第1実施形態の動作説明のための波形図である。

【図6】本発明の第2実施形態を示す回路図である。

【図7】第2実施形態の動作説明のための波形図である。

【図8】画素部の等価回路図である。

【図9】コモン反転時の画素電位の挙動を示す波形図である。

【図10】従来例を示す回路図である。

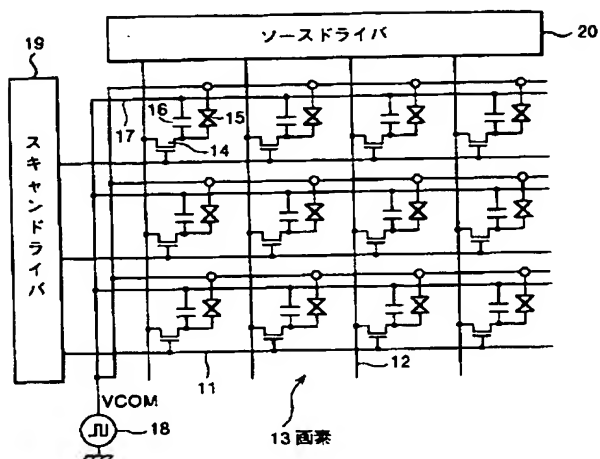
11

【図11】従来例の動作説明のための波形図である。

【符号の説明】

11, 11-1~11-n…走査ライン、13…画素、14

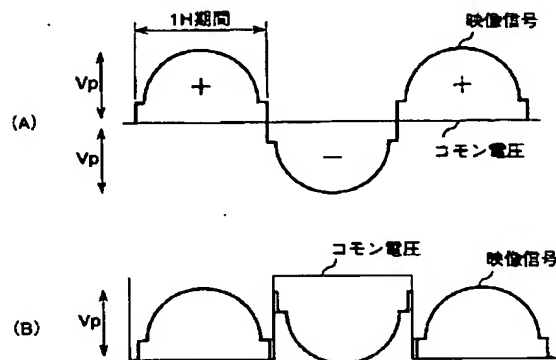
【図1】



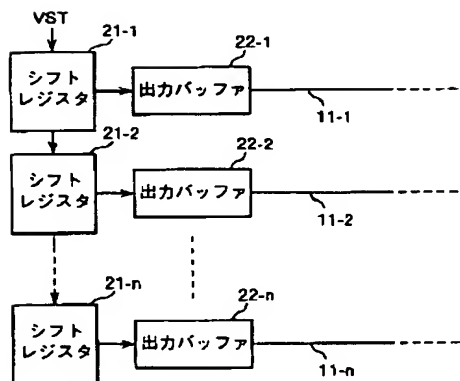
12

…画素トランジスタ、15…液晶セル、19…スキャン
ドライバ、31, 32, 34, 41, 42, 44…CM
OSインバータ、33, 43, 45…レベル変換回路

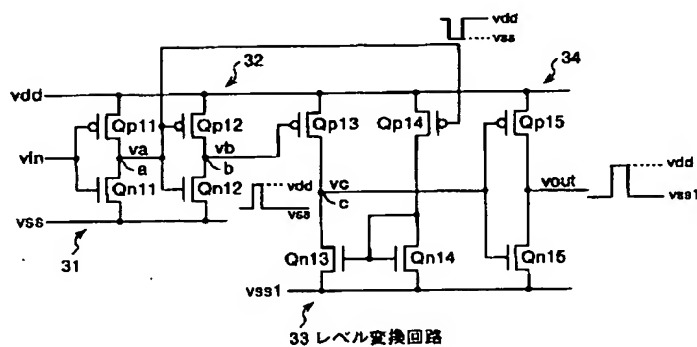
【図2】



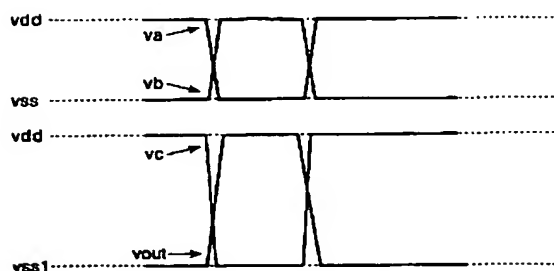
【図3】



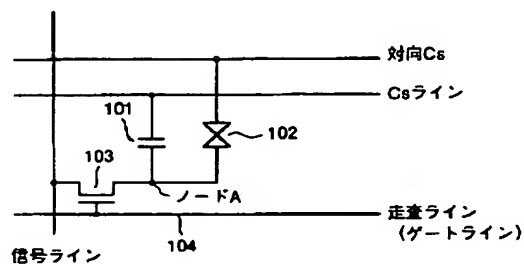
【図4】



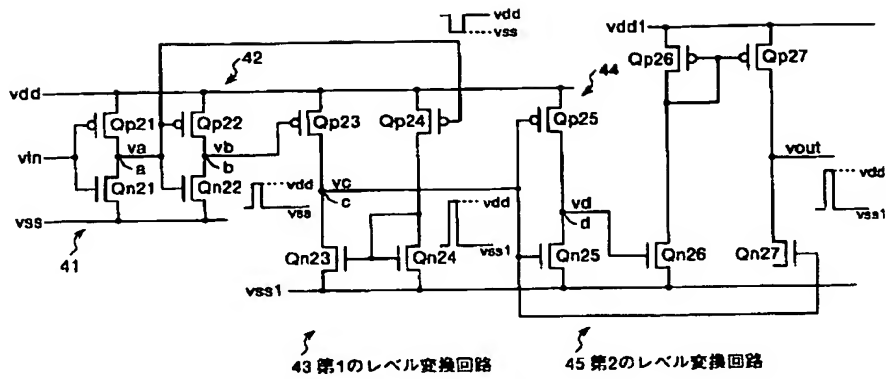
【図5】



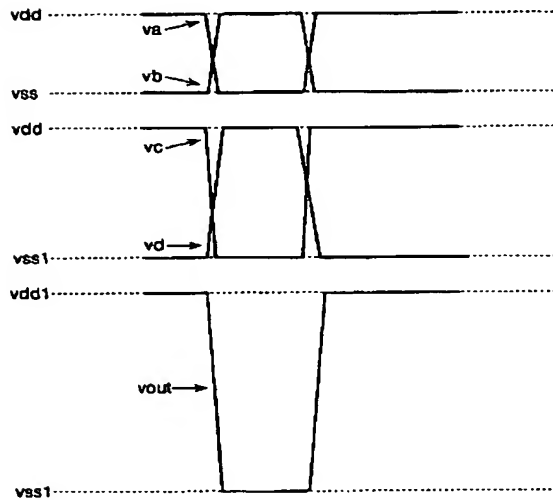
【図8】



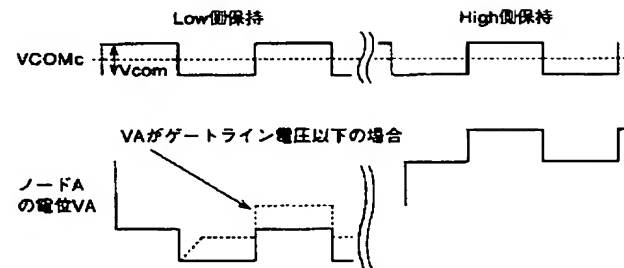
【図 6】



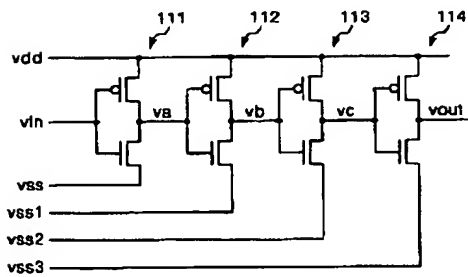
【図 7】



【図 9】



【図 10】



【図 11】

